

PCT/JP2004/009679

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

01.7.2004

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日      2 0 0 3 年   7 月   1 日  
Date of Application:

出 願 番 号      特 願 2 0 0 3 - 1 8 9 2 9 0  
Application Number:  
[ST. 10/C]:      [ J P 2 0 0 3 - 1 8 9 2 9 0 ]

出 願 人      株式会社日立製作所  
Applicant(s):      株式会社日立コミュニケーションテクノロジー

REC'D 19 AUG 2004

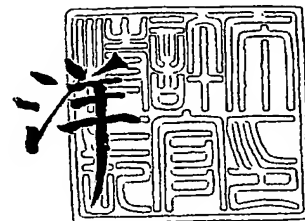
PCT

PRIORITY DOCUMENT  
SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH  
RULE 17.1(a) OR (b)

2 0 0 4 年   8 月   5 日

特許庁長官  
Commissioner,  
Japan Patent Office

小 川



出証番号   出証特 2 0 0 4 - 3 0 6 9 4 5 5

【書類名】 特許願

【整理番号】 NT03P0385

【提出日】 平成15年 7月 1日

【あて先】 特許庁長官 殿

【国際特許分類】 H05K 3/34

【発明者】

【住所又は居所】 神奈川県横浜市戸塚区吉田町 2 9 2 番地 株式会社日立  
製作所 生産技術研究所内

【氏名】 中塚 哲也

【発明者】

【住所又は居所】 神奈川県横浜市戸塚区戸塚町 2 1 6 番地 株式会社日立  
コミュニケーションテクノロジー キャリアネットワー  
ク事業部内

【氏名】 高野 信英

【発明者】

【住所又は居所】 東京都千代田区神田駿河台四丁目 6 番地 株式会社日立  
製作所 モノづくり技術事業部内

【氏名】 菅原 貞幸

【発明者】

【住所又は居所】 東京都千代田区神田駿河台四丁目 6 番地 株式会社日立  
製作所 モノづくり技術事業部内

【氏名】 大村 智之

【発明者】

【住所又は居所】 東京都千代田区神田駿河台四丁目 6 番地 株式会社日立  
製作所 モノづくり技術事業部内

【氏名】 佐伯 敏男

## 【発明者】

【住所又は居所】 神奈川県横浜市戸塚区吉田町 2 9 2 番地 株式会社日立  
製作所 生産技術研究所内

【氏名】 芹沢 弘二

## 【発明者】

【住所又は居所】 神奈川県横浜市戸塚区吉田町 2 9 2 番地 株式会社日立  
製作所 生産技術研究所内

【氏名】 石原 昌作

## 【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社日立製作所

## 【特許出願人】

【識別番号】 000153465

【氏名又は名称】 株式会社日立コミュニケーションテクノロジー

## 【代理人】

【識別番号】 100068504

## 【弁理士】

【氏名又は名称】 小川 勝男

【電話番号】 03-3661-0071

## 【選任した代理人】

【識別番号】 100086656

## 【弁理士】

【氏名又は名称】 田中 恭助

【電話番号】 03-3661-0071

## 【手数料の表示】

【予納台帳番号】 081423

【納付金額】 21,000円

## 【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 Pbフリーはんだ合金を用いたリフローはんだ付け方法および混載実装方法並びに混載実装構造体

【特許請求の範囲】

【請求項1】

表面実装部品を回路基板の上面または下面に、Sn-(1~4)Ag-(0~1)Cu-(7~10)In(単位:質量%)をベースとする合金からなるPbフリーはんだペーストを用いてはんだ付けを行うことを特徴とするPbフリーはんだ合金を用いたリフローはんだ付け方法。

【請求項2】

前記表面実装部品のリードには、Pbフリーめっきが施されていることを特徴とする請求項1記載のPbフリーはんだ合金を用いたリフローはんだ付け方法。

【請求項3】

前記Pbフリーめっきとして、SnめっきまたはSn-Biめっきであることを特徴とする請求項2記載のPbフリーはんだ合金を用いたリフローはんだ付け方法。

【請求項4】

表面実装部品を回路基板の少なくとも上面に、Sn-(1~4)Ag-(0~1)Cu-(7~10)In(単位:質量%)をベースとする合金からなるPbフリーはんだペーストを用いてはんだ付けを行うリフローはんだ付け工程と、

挿入実装部品のリード若しくは端子を前記回路基板に穿設されたスルーホールに上面側から挿入する挿入工程と、

該挿入工程で挿入実装部品のリード若しくは端子をスルーホールに挿入した後、前記回路基板にフラックスを塗布するフラックス塗布工程と、

該フラックス塗布工程で回路基板にフラックスを塗布後、該回路基板の下面を予備加熱する予備加熱工程と、

該予備加熱工程で下面を予備加熱された回路基板の下面に、Pbフリーはんだの噴流を当て、挿入実装部品のリード若しくは端子を回路基板にフローはんだ付けを行うフローはんだ付け工程とを有することを特徴とするPbフリーはんだ合

金を用いた混載実装方法。

【請求項 5】

前記フローはんだ付け工程において、前記表面実装部品のリードには、Pbフリーめっきが施されていることを特徴とする請求項 4 記載の Pbフリーはんだ合金を用いた混載実装方法。

【請求項 6】

前記 Pbフリーめっきとして、Snめっきまたは Sn-Biめっきであることを特徴とする請求項 5 記載の Pbフリーはんだ合金を用いた混載実装方法。

【請求項 7】

前記フローはんだ付け工程において、前記 Pbフリーはんだは、Sn-Cu系、Sn-Ag系、Sn-Ag-Cu系、Sn-Ag-Bi系、またはこれらに Inを加えた系の共晶組成または該共晶組成に近い組成であることを特徴とする請求項 4 または 5 記載の Pbフリーはんだ合金を用いた混載実装方法。

【請求項 8】

前記フローはんだ付け工程において、前記 Pbフリーはんだの噴流の温度が 170℃～260℃の範囲内にあることを特徴とする請求項 7 記載の Pbフリーはんだ合金を用いた混載実装方法。

【請求項 9】

前記フローはんだ付け工程において、前記回路基板の上面に対して 50℃以下の流体を吹付けて冷却することを特徴とする請求項 7 記載の Pbフリーはんだ合金を用いた混載実装方法。

【請求項 10】

前記フローはんだ付け工程において、前記流体の流量を  $0.3 \sim 1.2 \text{ m}^3 / \text{分}$  とすることを特徴とする請求項 9 記載の Pbフリーはんだ合金を用いた混載実装方法。

【請求項 11】

前記フローはんだ付け工程において、前記表面実装部品の接続部に放熱治具が接触して取付けられていることを特徴とする請求項 9 または 10 記載の Pbフリーはんだ合金を用いた混載実装方法。

**【請求項 12】**

請求項 4 乃至 11 の何れか一つに記載の Pb フリーはんだを用いた混載実装方法を用いて混載実装された混載実装構造体。

**【発明の詳細な説明】****【0001】****【発明の属する技術分野】**

本発明は、毒性の少ない Pb フリーはんだ合金を用いたりフローはんだ付け方法及び混載実装方法並びに混載実装された混載実装構造体に関するものである。

**【0002】****【従来の技術】**

有機基板等の回路基板へ電子部品をはんだ付けして実装する際、毒性の少ない Pb フリーはんだ合金を使用するという要求が生じてきている。

**【0003】**

この Pb フリーはんだを用いた実装方法に関する従来技術としては、特開平 10-166178 号公報（従来技術 1）、特開平 11-179586 号公報（従来技術 2）、特開平 11-221694 号公報（従来技術 3）、特開平 11-354919 号公報（従来技術 4）、特開 2001-168519 号公報（従来技術 5）および特開 2003-46229 号公報（従来技術 6）などが知られている。

**【0004】**

従来技術 1 には、Pb フリーはんだとして、Sn-Ag-Bi 系はんだ、或いは Sn-Ag-Bi-Cu 系はんだ合金が記載されている。従来技術 2 には、Pb フリーはんだとして有力な Sn-Ag-Bi 系はんだを、表面に Sn-Bi 系層を施した電極と接続することが記載されている。従来技術 3 には、電子部品を、有機基板の第 1 面および第 2 面からなる両面の各々に、Sn を主成分とし、Bi を 0～65 質量%、Ag を 0.5～4.0 質量%、Cu 若しくは／及び In を合計 0～3.0 質量%含有する Pb フリーはんだによってリフローはんだ付けすることが記載されている。従来技術 4 には、Bi を含有する Pb フリーはんだを用いて電子部品と回路基板とを接続する方法において、はんだを約 10～20℃

／s の冷却速度で冷却することが記載されている。従来技術 5 には、基板の A 面でリフローはんだ付けによって電子部品を表面接続実装し、ついで基板の B 面でフローはんだ付けにより、A 面側から挿入した電子部品のリードを電極にフローはんだ付けして接続実装する方法において、A 面側でリフローはんだ付けに用いるはんだを、 $\text{Sn}-(1.5 \sim 3.5 \text{ wt} \%) \text{Ag}-(0.2 \sim 0.8 \text{ wt} \%) \text{Cu}-(0 \sim 4 \text{ wt} \%) \text{In}-(0 \sim 2 \text{ wt} \%) \text{Bi}$  の組成で構成される Pb フリーはんだであり、B 面側でフローはんだ付けに用いるはんだを、 $\text{Sn}-(0 \sim 3.5 \text{ wt} \%) \text{Ag}-(0.2 \sim 0.8 \text{ wt} \%) \text{Cu}$  の組成で構成される Pb フリーはんだであることが記載されている。従来技術 6 には、Pb フリーのはんだを用いて混載実装する方法において、回路基板の上面を冷却してフローはんだ付けすることによって表面実装部品の接続部のはんだの再溶融による表面実装部品のはがれを防止することが記載されている。さらに、従来技術 6 には、リフローはんだペーストのはんだ合金として  $\text{Sn}-(1 \sim 4) \text{Ag}-(0 \sim 8) \text{Bi}-(0 \sim 1) \text{Cu}$  (単位: 質量%) を用いることと、フローはんだとして共晶組成に近い  $\text{Sn}-3 \text{Ag}-0.5 \text{Cu}$  や  $\text{Sn}-0.8 \text{Ag}-57 \text{Bi}$  (単位: 質量%) を用いることが記載されている。

#### 【0005】

##### 【特許文献 1】

特開平 10-166178 号公報

##### 【特許文献 2】

特開平 11-179586 号公報

##### 【特許文献 3】

特開平 11-221694 号公報

##### 【特許文献 4】

特開平 11-354919 号公報

##### 【特許文献 5】

特開 2001-168519 号公報

##### 【特許文献 6】

特開 2003-46229 号公報



## 【0006】

## 【発明が解決しようとする課題】

ところで、最近、Pbフリーのはんだを用いた混載実装方法において、部品本体の耐熱温度が220℃のFPGA（フィールドプログラマブルゲートアレイ）などの低耐熱性電子部品を回路基板の表面側にリフローはんだ付けすることが必要となってきた。

## 【0007】

さらに、混載実装方法においては、上記低耐熱性電子部品を回路基板の表面側にリフローはんだ付けし、回路基板の表面側から挿入した電子部品のリードにPbフリーのはんだを用いてフローはんだ付けする必要がある。このフローはんだ付けの際も、リフローはんだが再溶融して上記低耐熱性電子部品の剥がれを防止すると共に、はんだ接続後の信頼性を低下させないようにする必要がある。

## 【0008】

しかしながら、上記従来技術1～6には、Pbフリーのはんだを用いて、これら必要な課題を満たすような混載実装方法については十分考慮されていなかった。

## 【0009】

本発明の目的は、上記課題を解決すべく、FPGA（フィールドプログラマブルゲートアレイ）等の低耐熱性電子部品のリフローはんだ付けを実現したPbフリーはんだ合金を用いたリフローはんだ付け方法を提供することにある。

## 【0010】

また、本発明の他の目的は、FPGA等の低耐熱性電子部品のリフローはんだ付けを実現し、しかもフローはんだ付けの際リフローはんだ付け部の接続強度の信頼性を維持できるようにしたPbフリーはんだ合金を用いた混載実装方法およびそのシステム並びに混載実装構造体を提供することにある。

## 【0011】

## 【課題を解決するための手段】

上記目的を達成するために、本発明は、表面実装部品を回路基板の上面または下面に、Sn-(1～4)Ag-(0～1)Cu-(7～10)In（単位：質

量%)をベースとする合金からなるPbフリーはんだペーストを用いてはんだ付けを行うことを特徴とするPbフリーはんだ合金を用いたリフローはんだ付け方法である。

#### 【0012】

また、本発明は、前記表面実装部品のリードには、Pbフリーめっきが施されていることを特徴とする。また、本発明は、前記Pbフリーめっきとして、SnめっきまたはSn-Biめっきであることを特徴とする。

#### 【0013】

また、本発明は、FPGA等の低耐熱性電子部品(耐熱温度220℃程度以下)を含む表面実装部品を回路基板の少なくとも上面にIn入り低融点Pbフリーはんだペーストを用いてはんだ付けを行う低温リフローはんだ付け工程と、挿入実装部品のリード若しくは端子を前記回路基板に穿設されたスルーホールに上面側から挿入する挿入工程と、該挿入工程で挿入実装部品のリード若しくは端子をスルーホールに挿入した後、前記回路基板にフラックスを塗布するフラックス塗布工程と、該フラックス塗布工程で回路基板にフラックスを塗布後、該回路基板の下面を予備加熱する予備加熱工程と、該予備加熱工程で下面を予備加熱された回路基板の上面を冷却しながら回路基板の下面に高信頼性を有するSn-Cu系やSn-Ag系などの高融点Pbフリーはんだの噴流を当て、挿入実装部品のリード若しくは端子を回路基板にフローはんだ付けを行うフローはんだ付け工程とを有することを特徴とするPbフリーはんだを用いた混載実装方法である。

#### 【0014】

特に、本発明は、前記低温リフローはんだ付け工程において、用いるIn入り低融点Pbフリーはんだペーストとしては、Sn-Cu系、Sn-Ag系、Sn-Ag-Cu系またはSn-Ag-Bi系にInを加えた系、好ましくはSn-(1~4)Ag-(0~1)Cu-(4~10)In(単位:質量%)をベースとする合金である。

#### 【0015】

合金にInを(4~10質量%)加える理由としては、InはBiとは異なり、はんだのベース金属となるSnに対して固溶度が高く、はんだ付け時の溶融し

た状態から室温に冷却してもはんだ内に析出しにくい。また、析出しても微細にはんだ中に分散し、Biのように、はんだの冷却時にはんだが均一に冷却されず温度勾配を持つと、高温側への偏析が起こりにくい性質があるからである。該偏析が起こると接続部の接続強度を著しく低下させるため、偏析の発生を完全に抑止する必要がある。

#### 【0016】

また、上記低耐熱性電子部品（耐熱温度220℃付近）を含む表面実装部品を、リフロー炉を用いてリフローはんだ付けする際、熱容量の大小、赤外線反射率などが各部品によって異なるため、部品を搭載した回路基板内には温度ばらつきが生じる。また、この温度ばらつきは回路基板によっては最大15℃にもなることがわかっている。また、上記低耐熱性電子部品（耐熱温度220℃）は熱容量の小さい小型のものが多く、多くの場合リフローはんだ付けする際、基板内で最高温度となる。一方、回路基板上にはんだペーストが供給される場所の中には、BGA (Ball Grid Array) 等のように、部品本体と回路基板との間にリフロー炉の熱風が流れ込みにくい場所があり、この場合リフローはんだ付けする際、回路基板内で最低温度となる。

#### 【0017】

従って、上記低耐熱性電子部品を回路基板にリフローはんだ付けする場合、リフローはんだペーストは最低で205℃ (=220-15) 付近で熔融する必要があり、これにはSn-(1~4)Ag-(0~1)Cu系はんだに7~10質量%程度のIn添加が必要となる。

#### 【0018】

以上説明した理由により、リフローはんだペーストとしては、上記低耐熱性電子部品のリフローはんだ付けを実現し、偏析の発生を完全に抑止して接続部の接続強度を著しく低下させるのを防止するために、Sn-(1~4)Ag-(0~1)Cu-(7~10)In（単位：質量%）をベースとする合金となる。

#### 【0019】

さらに、本発明は、前記フローはんだ付け工程において、Pbフリーはんだペーストとしては、Sn-Cu系、Sn-Ag系、Sn-Ag-Cu系、Sn-A

g-Bi系またはこれらにInを加えた系等の共晶組成または該共晶組成に近い組成である。特に、 $\text{Sn}-3\text{Ag}-0.5\text{Cu}-x\text{In}$  ( $0 \leq x \leq 9$ , 単位; 質量%) は、 $\text{Sn}-\text{Ag}-\text{Cu}$ 系共晶組成または共晶組成に近い組成であり、しかも従来の $\text{Sn}-37\text{Pb}$ の融点 $183^\circ\text{C}$ よりも高融点であり、極限条件でも接続の高信頼性を有して使用可能である。また、 $\text{Sn}-0.8\text{Ag}-57\text{Bi}$ は、共晶組成または共晶組成に近い組成であり、使用温度が限定されて使用される場合には、接続の高信頼性を有して使用可能である。

#### 【0020】

そして、前記フローはんだ付け工程において、回路基板の下面に当てるPbフリーはんだの噴流の温度が $170^\circ\text{C} \sim 260^\circ\text{C}$ の範囲内であることを必要とする。これははんだが基板電極に対して十分に濡れる温度であるからである。

#### 【0021】

また、表面実装部品の電極における従来のめっきに含まれるPbは、リフローはんだ付け後の接続部のはんだ組成(共晶組成)から大きく逸脱した別の低温共晶組成を作り出す成分が多量に含まれており、フローはんだ付け時の溶融はんだ( $170^\circ\text{C} \sim 260^\circ\text{C}$ )の熱影響により、リフロー接続部のはんだ再溶融する際、この低温共晶組成が優先的に溶融し、この組成が高温部分に濃縮しやすくなるため、上記偏析の発生を促進する。

#### 【0022】

従って、表面実装部品の電極のめっきもPbフリーの組成とすることが望ましく、組成としては、純Sn(融点 $232^\circ\text{C}$ )などの表面実装に使用するはんだ合金の構成元素とするのが良い。また、ウイスキー(ひげ結晶)の発生が著しい部品に対しては、Snに微量のBiを添加したものを使用するのが良いとされている。

#### 【0023】

また、本発明は、前記フローはんだ付け工程において、上記In入り低融点リフローはんだが再溶融して上記低耐熱性電子部品の剥がれを防止するために、回路基板の上面に対して $50^\circ\text{C}$ 以下( $20^\circ\text{C} \sim 50^\circ\text{C}$ の範囲)の塗素等の流体を流量として概ね $0.3 \sim 1.2 \text{ m}^3/\text{分}$ (好ましくは概ね $0.5 \sim 1.2 \text{ m}^3/\text{分}$ )

）にして吹き付けて冷却を行う方がフローはんだの許容溶融温度範囲の上限を広げることができるので好ましい。ただし、回路基板にフローはんだ付けを行う際の小径スルーホールや大熱容量挿入実装部品が挿入されるスルーホールへのはんだ揚がりを抑制し、はんだ凝固後に十分な接続強度が得られない場合があるから、上記流量（ $1.2\text{ m}^3/\text{分}$ ）を大幅に超えて使用しないことが望ましい。

#### 【0024】

また、本発明は、前記フローはんだ付け工程において、回路基板の上面に対して $50^\circ\text{C}$ 以下（ $20^\circ\text{C}\sim 50^\circ\text{C}$ の範囲）の窒素等の流体を吹き付けて冷却しながら、表面実装電子部品のリードに放熱用の治具を接触させることによって、フローはんだの許容溶融温度範囲の上限を広げることができる。

#### 【0025】

##### 【発明の実施の形態】

本発明の実施の形態について、図面を用いて詳細に説明する。

#### 【0026】

本発明は、図1に示すように、FPGA（フィールドプログラマブルゲートアレイ）などの低耐熱性電子部品（耐熱温度 $220^\circ\text{C}$ 程度以下）を含む表面実装部品2、4aを有機基板等の回路基板1の上面101にIn入り低融点Pbフリーはんだペースト11を用いてはんだ付けを行い、その後、回路基板1の上面側よりスルーホールなどに、挿入実装部品5のリード12を挿入し、その後、回路基板1にフラックスを塗布し、その後、回路基板1の下面102からPbフリーの溶融はんだ噴流3によってフローはんだ付けして混載実装することにある。フローはんだ付けする際、回路基板1へのはんだ付け時間を短縮するために、まず回路基板1の下面102をシーズヒーターなどの予備加熱装置22で予備加熱を行う。その後、回路基板1の下面102からPbフリーの溶融はんだ噴流3によってフローはんだ付けを行い、はんだ付け直後に回路基板1の両面を冷却するものである。

#### 【0027】

このように、回路基板1の上面101に実装されるFPGAなどの低耐熱性電子部品2は一般的に他の表面実装電子部品と比較して熱容量が小さく、温度が上

昇し易い場合が多い。

#### 【0028】

このことから、一般的なりフロー炉では、リフローはんだ付け時に上記低耐熱性電子部品2の部品本体が基板内最高温度部となる場合が多くなる。また、リフローはんだ付け時に、はんだペースト供給部に熱風が当たるのを部品本体が抑制しやすい構造をもつBGA (Ball Grid Array) 等の場合、上記はんだペースト供給部が基板内最低温度部となる場合が多くなる。いずれにしても、FPGAなどの低耐熱性電子部品2としては、QFP-LSIで構成される場合が多く、BGA-LSIで構成される場合もある。

#### 【0029】

従って、上記低耐熱性電子部品2の部品本体とはんだペースト供給部11と間の温度差が回路基板内1の温度ばらつきとなり、一般的なりフロー炉では最大15℃程度となる。このため、上記低耐熱性電子部品2の部品本体を220℃以下とするならば、必然的にはんだペースト供給部11は205℃以下となり、205℃でも溶融するPbフリーのリフローはんだペーストが必要となる。

#### 【0030】

そこで、In入り低融点Pbフリーはんだペースト11としては、205℃でも溶融するSn-(1~4)Ag-(0~1)Cu-(7~10)In(単位:質量%)をベースとする合金材料にしたことにある。

#### 【0031】

さらに、上記低耐熱性電子部品2がBGAで構成されている場合には、リフローはんだペーストはもとより、はんだボールも同じ組成にすることが望ましいことになる。

#### 【0032】

また、フローはんだ噴流3のPbフリーの材料としては、Sn-Cu系、Sn-Ag系、Sn-Ag-Cu系、Sn-Ag-Bi系またはこれらにInを加えた系等の共晶組成または該共晶組成に近い組成である。特に、Sn-3Ag-0.5Cu-xIn ( $0 \leq x \leq 9$ , 単位:質量%)は、Sn-Ag-Cu系共晶組成または共晶組成に近い組成であり、しかも従来のSn-37Pbの融点183

℃よりも高融点であり、極限条件でも接続の高信頼性を有して使用可能である。  
また、 $\text{Sn}-0.8\text{Ag}-57\text{Bi}$ は、共晶組成または共晶組成に近い組成であり、使用温度が限定されて使用される場合には、接続の高信頼性を有して使用可能である。

#### 【0033】

そして、前記フローはんだ付け工程において、回路基板の下面に当てるPbフリーはんだの噴流の温度が $170^{\circ}\text{C}\sim 260^{\circ}\text{C}$ の範囲内であることを必要とする。これははんだが基板電極に対して十分に濡れる温度であるからである。

#### 【0034】

また、上記フラックス塗布工程前に、必要に応じて回路基板1にA1等の金属製の反り防止治具を取り付けてもよい。また、回路基板1の下面に表面実装部品がリフローはんだ付けによって実装されている場合には、この部分にカバー（図示せず）を取り付けてフローはんだが付かないようにすることも可能である。

#### 【0035】

また、フローはんだ付けする際、図2に示すように、回路基板1の上面102を基板冷却装置6で $50^{\circ}\text{C}$ 以下（ $20^{\circ}\text{C}\sim 50^{\circ}\text{C}$ の範囲）の窒素等の流体を概ね $0.3\sim 1.2\text{m}^3/\text{分}$ （好ましくは $0.5\sim 1.2\text{m}^3/\text{分}$ ）の流量で吹き付けて冷却すれば、フローはんだの許容溶融温度範囲の上限を広げることが可能となる。さらに、表面実装電子部品2のリード等に図3に示すように、アルミ等の金属の放熱治具を接触させれば、フローはんだの許容溶融温度範囲の上限をさらに広げることが可能となる。

#### 【0036】

このように、回路基板1の上面101を基板冷却装置6で冷却した状態で、フローはんだ付けをすることによって、フローはんだの溶融温度範囲の上限を広げたとしても、表面実装部品2、4の接続部においてIn入り低融点Pbフリーはんだペースト11の再溶融によって剥がれが生じるのを防止することが可能となる。

#### 【0037】

[第1の実施例]

第1の実施例は、回路基板1として、一般的に幅広く使用されている厚さが1.6mm程度、縦が350mm程度、横が350mm程度、基板面銅箔厚さが18 $\mu$ m程度であり、1mm程度の内径、1.6mm程度のCuパッド径、0.7個/cm<sup>2</sup>程度の密度で形成されたスルーホールを有するガラスエポキシ基板1aを用いた。

### 【0038】

表面実装部品2としては、リードピッチ0.5mm程度、リード幅0.2mm程度、Sn-10mass%Pbめっきを施された208本の42アロイ製リードを持った32mm角QFP-LSI2aを用いた。

### 【0039】

そして、ガラスエポキシ基板1aの上面に、32mm角QFP-LSI2aを、Sn-3Ag-0.5Cu-xIn ( $0 \leq x \leq 9$ , 単位: 質量%) の10種類のIn含有はんだペースト (次の表1に詳細を示す) 11によりリフローはんだ付けを行った。

### 【0040】

【表1】

表 1

はんだ組成 (mass%)	固相線温度 (°C)	液相線温度 (°C)
Sn-3Ag-0.5Cu	217	220
Sn-3Ag-0.5Cu-1In	207	219
Sn-3Ag-0.5Cu-2In	206	218
Sn-3Ag-0.5Cu-3In	205	217
Sn-3Ag-0.5Cu-4In	204	216
Sn-3Ag-0.5Cu-5In	202	215
Sn-3Ag-0.5Cu-6In	200	213
Sn-3Ag-0.5Cu-7In	198	211
Sn-3Ag-0.5Cu-8In	195	210
Sn-3Ag-0.5Cu-9In	193	209

### 【0041】



この表1から明らかなように、Inが7質量%になると固相線温度が198℃となり、液相線温度が211℃となり、205℃付近で溶融することになる。従って、Inが7質量%以上含有するようにすれば、FPGAなどの低耐熱性電子部品（耐熱温度220℃程度以下）2を回路基板1の表面側にリフローはんだ付けすることが可能となる。

#### 【0042】

しかし、Inが10質量%を越えて含有すると、はんだの冷却時に偏析が起こり、接続部の接続強度を著しく低下させることになるため、Inの含有量を10質量%以下にする必要がある。

#### 【0043】

次に、この基板サンプルのQFP-LSI2aが4個接続されている方の回路基板1の上面側より、基板のスルーホール（図示せず）に、Sn-10mass%Pbめっきを施された0.5mm角の端子（リード）11aを持つ2.54mmピッチ6端子コネクタ5aを6個挿入した。

#### 【0044】

次に、回路基板1の下面102について最高出力9kWのシーズヒーターを使用した予備加熱を行い、1分で25℃（常温）の回路基板1aの下面102の温度を、最高部118℃、最低部100℃にした。その後、回路基板1の上面101を基板冷却装置6で冷却しない状態で、共晶組成に近いSn-3Ag-0.5Cu（単位：質量%）やSn-0.8Ag-57Bi（単位：質量%）のはんだの噴流3aを基板1aの下面102に当てて、図1に示すように基板冷却装置6による冷却をせずに、6端子コネクタ5aのはんだ付けを行い基板サンプルを作製したものである。但し、この際、フローはんだ槽（図示せず）の溶融はんだをSn-0.8Ag-57Bi、Sn-0.7CuあるいはSn-3Ag-0.5Cuとし、その温度が170～260℃となるようにフローはんだ槽の温度を数条件に固定した。

#### 【0045】

以上説明したサンプルにおいて、QFP-LSI2aの接続部に破断がおきているかを観察した。

## 【0046】

図4は、リフローはんだ材料組成が本発明に係る  $\text{Sn}-3\text{Ag}-0.5\text{Cu}-x\text{In}$  ( $0 \leq x \leq 9$ , 単位: 質量%) の10種類のIn含有はんだペーストの場合の実験結果を示す。図11には、リフローはんだ材料組成が比較例としての  $\text{Sn}-3\text{Ag}-0.5\text{Cu}-x\text{Bi}$  ( $0 \leq x \leq 8$ , 単位: 質量%) の9種類のBi含有はんだペースト場合の実験結果を示す。

## 【0047】

各図とも、横軸にフローはんだ槽の溶融はんだの温度を、縦軸にQFP-LSIの接続に使用したはんだのBi、In含有量を取り、破断が起きなかった条件を○印で、破断が起きた条件を×印で示した。

## 【0048】

また、各図の中の実線は、破断が起きる条件と起きない条件の境界と考えられる線である。なお、図4の本発明に係る実験結果を図11の比較例の実験結果と比較するために、図4の中に図11の境界を点線で示した。

## 【0049】

図4に示す如く、基板1aの上面101を冷却しない実験結果でも、QFP-LSI2aの接続に使用したはんだペースト11を本発明に係る  $\text{Sn}-3\text{Ag}-0.5\text{Cu}-x\text{In}$  としたことにより、 $\text{Sn}-3\text{Ag}-0.5\text{Cu}-x\text{Bi}$  とした比較例に比べて、フローはんだ付け時の接続部の破断が起きにくく、溶融はんだの許容温度範囲を広くできることがわかった。

## 【0050】

即ち、表面実装用リフローはんだ組成として本発明のように  $\text{Sn}-\text{Ag}-\text{Cu}$  系にInを添加することにより、フローはんだ付け時の表面実装部品の偏析剥離が抑制できることが実験によって確認することができた。

## 【0051】

さらに、図4に示す実験結果によれば、Inの含有量が7質量%の場合フロー溶融はんだの温度を235℃まで、Inの含有量が8～9質量%の場合フロー溶融はんだの温度を230℃までにすることができると確認できた。

## 【0052】

## [第2の実施例]

第2の実施例において、第1の実施例と相違する点は、フローはんだ付けの際、図2に示すように、回路基板1の上面101を基板冷却装置6で20℃～50℃程度の窒素等の流体を概ね0.5m<sup>3</sup>/分の流量で吹き付けて冷却した点である。図5には、横軸にフローはんだ槽の溶融はんだの温度を、縦軸にQFP-LSIの接続に使用したはんだのIn含有量を取り、破断が起きなかった条件を○印で、破断が起きた条件を×印で示した。また、図5の中の実線は、破断が起きる条件と起きない条件の境界と考えられる線である。

## 【0053】

第2の実施例の実験結果によれば、図5に示すように、フロー溶融はんだの温度の上限が図4に示す第1の実施例に比べて10℃弱上昇させてもよいことが確認できた。さらに、図5に示す実験結果によれば、Inの含有量が7質量%の場合フロー溶融はんだの温度を245℃まで、Inの含有量が8質量%の場合フロー溶融はんだの温度を240℃まで、Inの含有量が9質量%の場合フロー溶融はんだの温度を235℃までにすることができることが確認できた。

## 【0054】

## [第3の実施例]

第3の実施例は、第2の実施例において、図2に示すように、回路基板1の上面101を基板冷却装置6で20℃～50℃程度の窒素等の流体を概ね1.2m<sup>3</sup>/分の流量で吹き付けて冷却したものである。図6には、横軸にフローはんだ槽の溶融はんだの温度を、縦軸にQFP-LSIの接続に使用したはんだのIn含有量を取り、破断が起きなかった条件を○印で、破断が起きた条件を×印で示した。また、図6の中の実線は、破断が起きる条件と起きない条件の境界と考えられる線である。

## 【0055】

第3の実施例の実験結果によれば、図6に示すように、フローはんだの許容溶融温度の上限が図4に示す第1の実施例に比べて15℃程度上昇させてもよいことが確認できた。さらに、図6に示す実験結果によれば、Inの含有量が7質量%の場合フローはんだの許容溶融温度を250℃まで、Inの含有量が8質量%

の場合フローはんだの許容溶融温度を  $245^{\circ}\text{C}$  まで、In の含有量が 9 質量% の場合フローはんだの許容溶融温度を  $240^{\circ}\text{C}$  までにすることができると確認できた。

#### 【0056】

以上の結果により、窒素等の流体の吹き付け量を  $1.2\text{ m}^3/\text{分}$  程度まで増加させると、表面実装部品用リフローはんだに In 量を 7～9 % 程度添加しても、 $240\sim 250^{\circ}\text{C}$  の Sn-Ag-Cu 溶融はんだ等を用いてフローはんだ付けを行うことが可能となる。

#### 【0057】

##### [第4の実施例]

第4の実施例は、第2および第3の実施例と同様に、フローはんだ付けを行う際、基板冷却装置6を作動させた状態で、さらにリフローはんだ付けされた表面実装部品(32mm角QFP-LSI)2の接続部にアルミ等の金属製の正方形の枠の形状をした放熱治具7を搭載して表面実装部品2のリードに放熱治具7を接触させることにより回路基板1の上面101を冷却し、フローはんだ付け時の表面実装部品の偏析剥離の抑制効果を向上させたものである。なお、この際、フロー溶融はんだを Sn-0.7Cu あるいは Sn-3Ag-0.5Cu とし、その温度が  $250\sim 280^{\circ}\text{C}$  となるようにフローはんだ槽の温度を数条件に固定した。

#### 【0058】

図7には、横軸にフローはんだ槽の溶融はんだの温度を、縦軸に QFP-LSI の接続に使用したはんだの In 含有量を取り、破断が起きなかった条件を○印で、破断が起きた条件を×印で示した。また、図7の中の実線は、破断が起きる条件と起きない条件の境界と考えられる線である。

#### 【0059】

第4の実施例の実験結果によれば、図7に示すように、フローはんだの許容溶融温度の上限が図4に示す第1の実施例に比べて  $20^{\circ}\text{C}$  程度上昇させてもよいことが確認できた。さらに、図7に示す実験結果によれば、In の含有量が 7 質量% の場合フローはんだの許容溶融温度を  $260^{\circ}\text{C}$  まで、In の含有量が 8～9 質

量%の場合フローはんだの許容溶融温度を250℃までにすることができるとが確認できた。

#### 【0060】

以上の結果により、窒素吹き付け量を $1.2\text{ m}^3/\text{分}$ 程度にて基板上面冷却を行い、放熱治具を使用すれば、表面実装部品用リフローはんだにIn量を9%程度添加しても、250℃のSn-Ag-Cu溶融はんだ等を用いてフローはんだ付けを行うことが可能となる。要するに、第4の実施例によれば、250℃のSn-Ag-Cu溶融はんだ等を用いてフローはんだ付けを行う場合において、表面実装部品用はんだに添加できるIn量は9%程度まで増加させることが可能となり、低耐熱性電子部品に十分対応させることが容易となる。

#### 【0061】

##### [第5の実施例]

第5の実施例は、第1の実施例において、リフローはんだ付けされる表面実装部品のリードめっきをPbフリー化することにより、フローはんだ付け時の表面実装部品の偏析剥離の抑制効果を向上させたものである。

#### 【0062】

但し、この際、フローはんだ槽（図示せず）の溶融はんだを共晶組成に近いSn-0.8Ag-57Bi、Sn-0.7CuあるいはSn-3Ag-0.5Cu（単位：質量%）とし、その温度が235～280℃となるようにフローはんだ槽の温度を数条件に固定した。

#### 【0063】

以上説明した各サンプルにおいて、QFP-LSI2aの接続部に破断がおきているかを観察した。

#### 【0064】

図8、図9に第5の実施例であるそれぞれSn-3質量%Biめっき、Snめっきの場合の実験結果を示す。これら図8、図9は、横軸にフローはんだ槽の溶融はんだの温度を、縦軸にQFP-LSIの接続に使用したはんだのIn含有量を取り、破断が起きなかった条件を○印で、破断が起きた条件を×印で示した。また、各図の中の実線は、破断が起きる条件と起きない条件の境界と考えられる

線である。

#### 【0065】

なお、図4 (Sn-10Pbめっきを使用したもの) の実験結果と比較するために、図8の中に図4の境界を点線で示した。さらに、図8 (Sn-3Biめっきを使用したもの) の実験結果と比較するために、図9の中に図8の境界を点線で示した。

#### 【0066】

これらの結果により、Sn-3Biめっきを使用した場合 (図8)、250℃のSn-Ag-Cu溶融はんだ等でフローはんだ付けを行う場合、表面実装部品用はんだに添加できるIn量は8%程度であることがわかる。さらに、Snめっきを使用した場合 (図9)、250℃のSn-Ag-Cu溶融はんだ等でフローはんだ付けを行う場合、表面実装部品用はんだに添加できるIn量は9%程度であることがわかる。しかしながら、260℃のSn-Ag-Cu溶融はんだ等でフローはんだ付けを行う場合には、表面実装部品用はんだに添加できるIn量は5%程度になってしまう。

#### 【0067】

以上説明したように、表面実装部品のリードめっきをPbフリー化する第5の実施例によれば、第1の実施例と同様に、基板冷却装置6で冷却することなく、リフローはんだに添加できるIn量を8~9%程度にすることができ、低耐熱性電子部品に十分対応させることが容易となる。

#### 【0068】

##### [第6の実施例]

第6の実施例は、第4の実施例において、リフローはんだ付けされる表面実装部品のリードめっきをPbフリー化することにより、フローはんだ付け時の表面実装部品の偏析剥離の抑制効果を向上させたものである。

#### 【0069】

但し、この際、フローはんだ槽 (図示せず) の溶融はんだを共晶組成に近いSn-0.7Cu (単位: 質量%) やSn-3Ag-0.5Cu (単位: 質量%) とし、その温度が250~280℃となるようにフローはんだ槽の温度を数条件に

固定した。

#### 【0070】

以上説明した各サンプルにおいて、QFP-LSI 2aの接続部に破断がおきているかを観察した。

#### 【0071】

図10に第6の実施例の実験結果を示す。この図10は、横軸にフローはんだ槽の溶融はんだの温度を、縦軸にQFP-LSIの接続に使用したはんだのIn含有量を取り、破断が起きなかった条件を○印で、破断が起きた条件を×印で示した。また、図10の中の実線は、破断が起きる条件と起きない条件の境界と考えられる線である。なお、図9（Snめっきを使用し、基板上面冷却も放熱治具も使用しないもの）の実験結果と比較するために、図10の中に図9の境界を点線で示した。

#### 【0072】

図10に示すように、第6の実施例によれば、250℃、260℃の両方の温度のSn-Ag-Cu溶融はんだ等でフローはんだ付けを行う場合においても、表面実装部品用はんだに添加できるIn量は9%程度にすることが可能となり、その結果、低耐熱性電子部品に十分対応することが可能となる。

#### 【0073】

##### 【発明の効果】

本発明によれば、FPGA等の低耐熱性電子部品の回路基板へのリフローはんだ付けをPbフリーはんだ合金を用いて実現できる効果を奏する。

#### 【0074】

また、本発明によれば、FPGA等の低耐熱性電子部品を含む表面実装部品の回路基板へのリフローはんだ付けと挿入実装部品等についての回路基板へのフローはんだ付けとをPbフリーはんだ合金を用いて行なってPbフリー化に伴い発生するはんだ付け欠陥を防止し、しかも高信頼性を維持した混載実装を実現できる効果を奏する。

#### 【0075】

また、本発明によれば、Pbフリーはんだ合金を用いたFPGA等の低耐熱性

電子部品を含む表面実装部品および挿入実装部品等の混載実装において、フローはんだ付けの際、溶融はんだの噴流の温度許容範囲を高温度側に拡張することができるので温度のコントロールがしやすくなる効果を奏する。

【図面の簡単な説明】

【図 1】

本発明に係る P b フリーはんだを用いた混載実装方法の第 1 の実施例を説明するための図である。

【図 2】

本発明に係る P b フリーはんだを用いた混載実装方法の第 2 及び第 3 の実施例を説明するための図である。

【図 3】

本発明に係る第 4 の実施例である Q F P に放熱治具を取付ける（搭載する）状態を示す図である。

【図 4】

本発明に係る第 1 の実施例における Q F P - L S I 接続部破断条件を示した図である。

【図 5】

本発明に係る第 2 の実施例における Q F P - L S I 接続部破断条件を示した図である。

【図 6】

本発明に係る第 3 の実施例における Q F P - L S I 接続部破断条件を示した図である。

【図 7】

本発明に係る第 4 の実施例における Q F P - L S I 接続部破断条件を示した図である。

【図 8】

本発明に係る第 5 の実施例における Q F P - L S I 接続部破断条件を示した図である。

【図 9】



本発明に係る第6の実施例におけるQFP-LSI接続部破断条件を示した図である。

【図10】

本発明に係る第7の実施例におけるQFP-LSI接続部破断条件を示した図である。

【図11】

比較例におけるQFP-LSI接続部破断条件を示した図である。

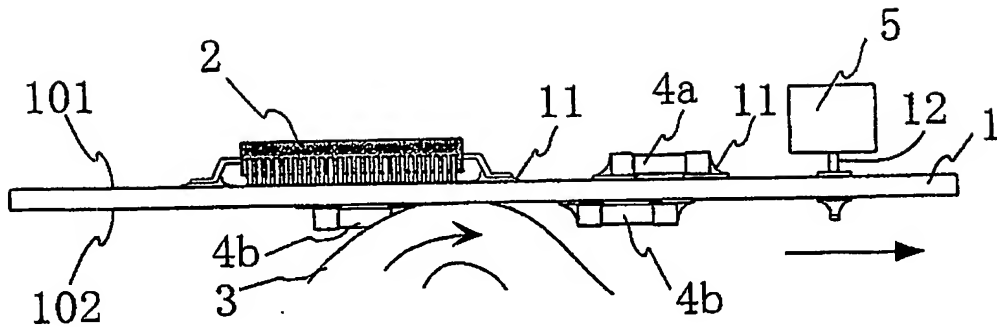
【符号の説明】

1…回路基板（ガラスエポキシ基板）、2…FPGA等の低耐熱性電子部品を含む表面実装部品、3…溶融はんだ噴流、4、4a、4b…表面実装部品（チップ部品）、5…挿入実装部品（6端子コネクタ）、6…基板冷却装置、7…放熱治具。

【書類名】 図面

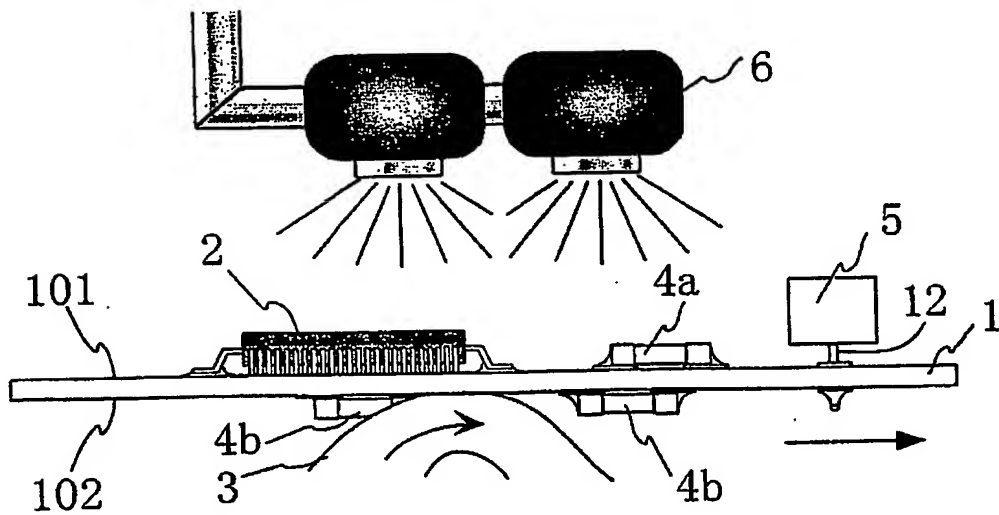
【図 1】

図 1



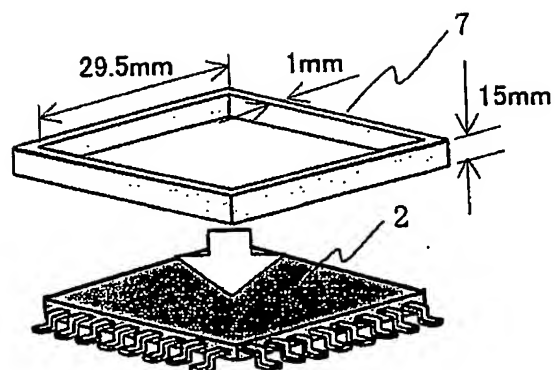
【図 2】

図 2



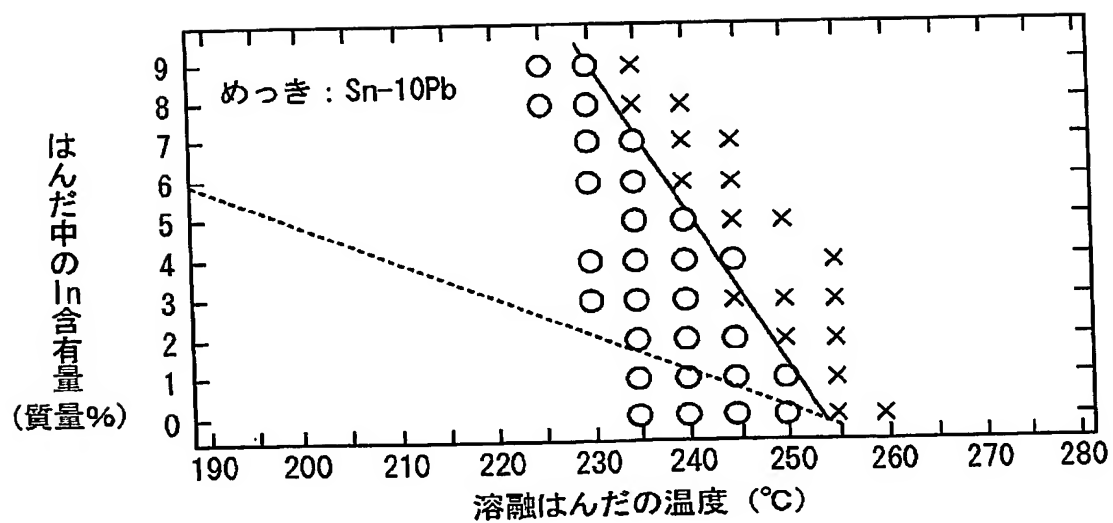
【図 3】

図 3



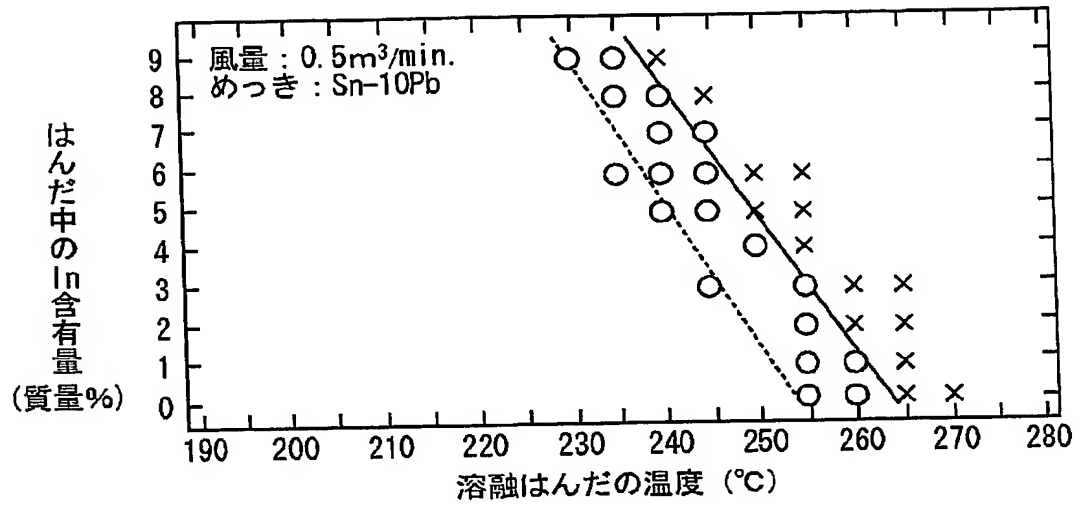
【図 4】

図 4



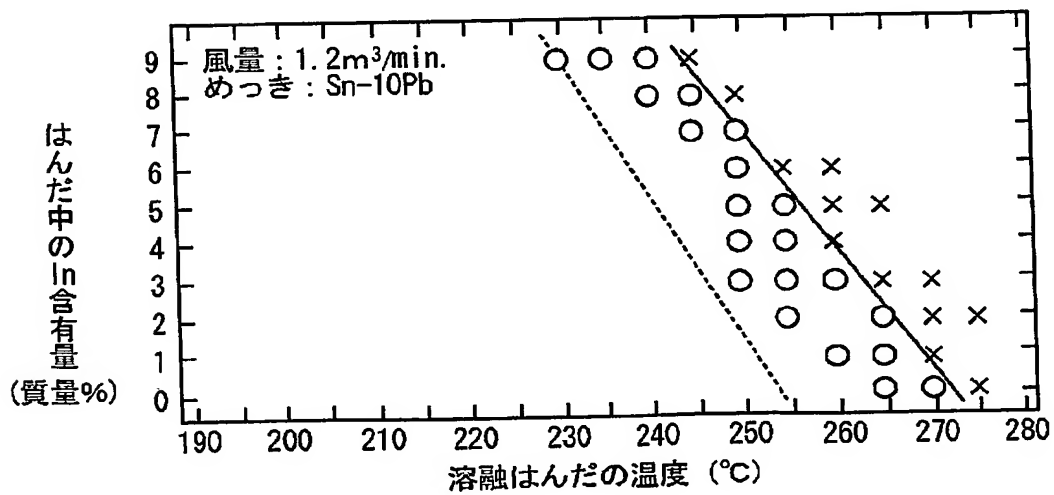
【図 5】

図 5



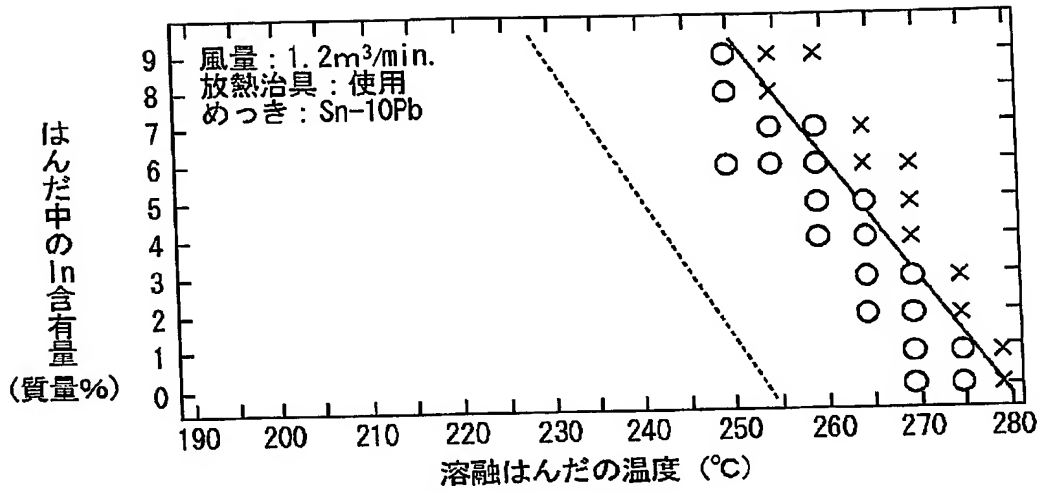
【図 6】

図 6



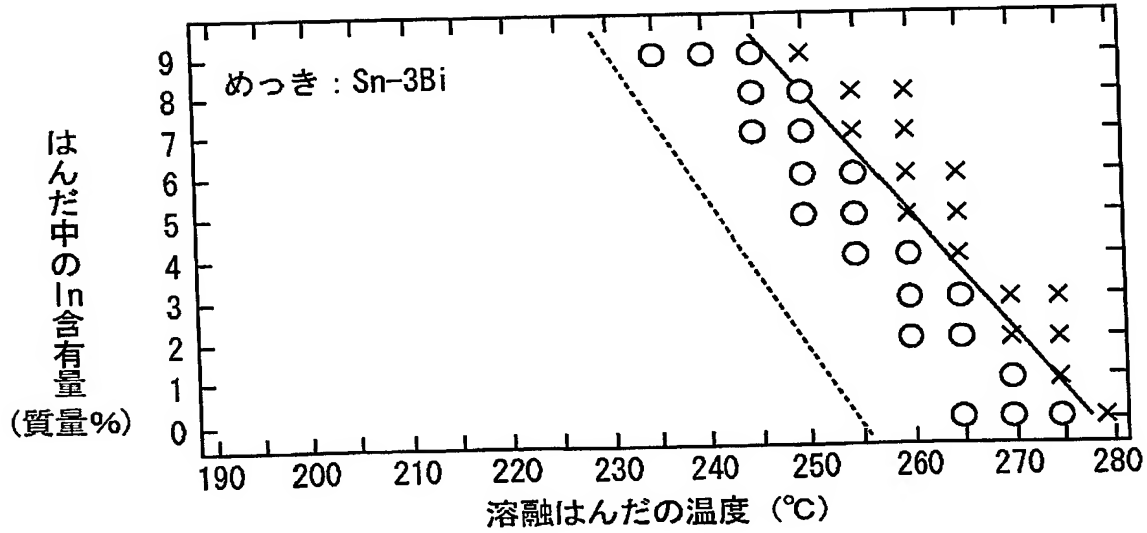
【図 7】

図 7



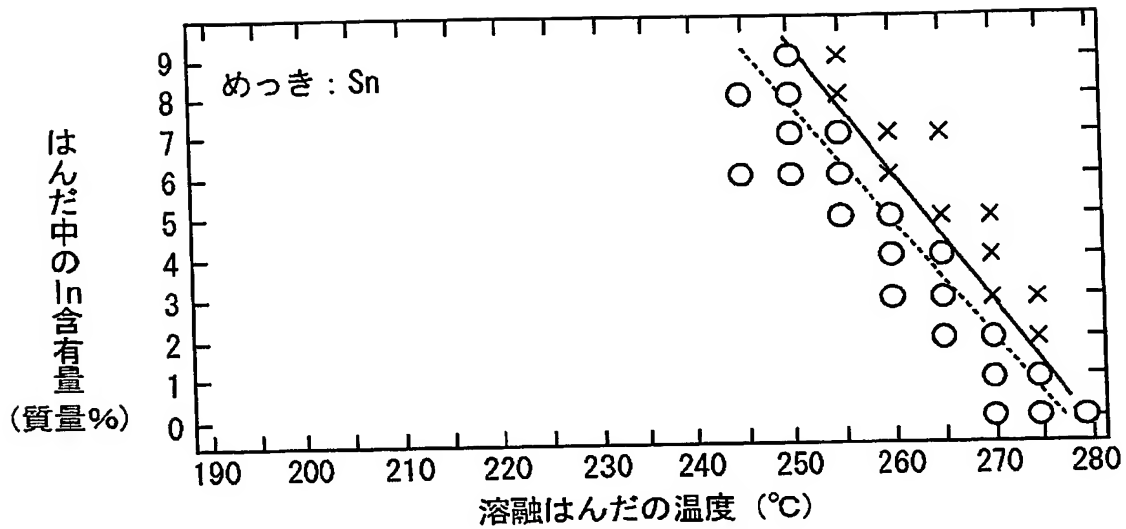
【図 8】

図 8



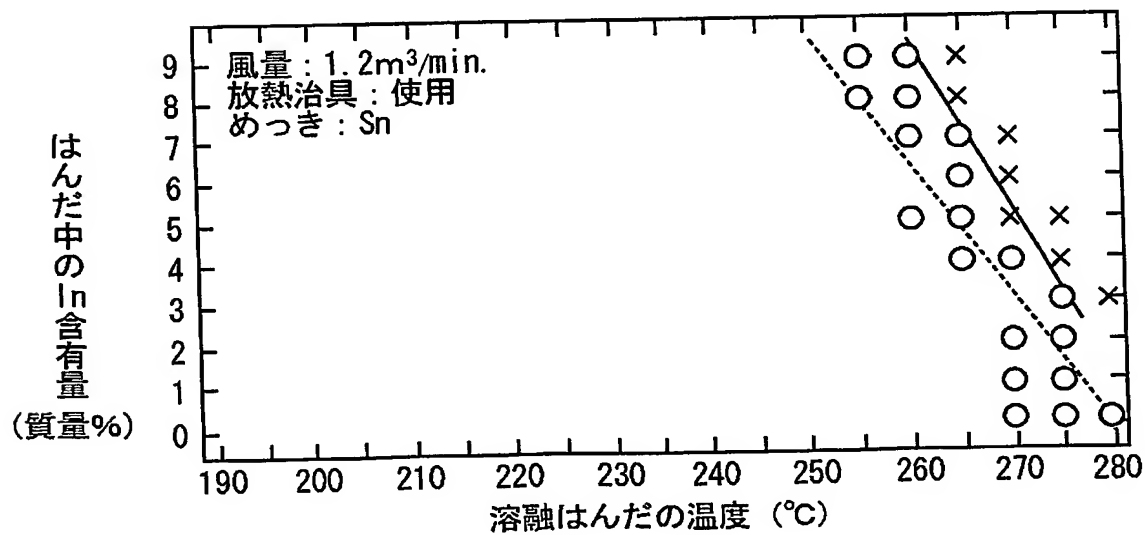
【図 9】

図 9



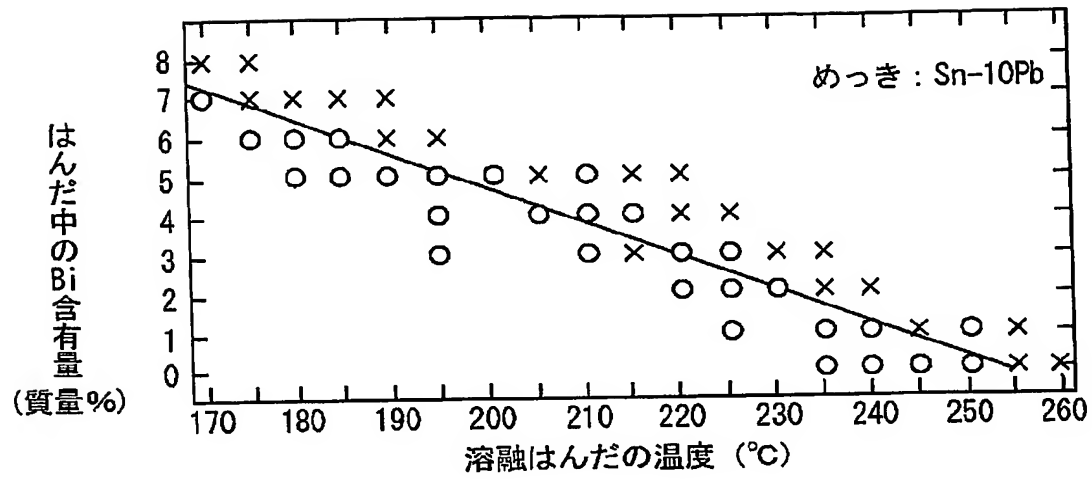
【図 10】

図 10



【図 11】

図 11



【書類名】 要約書

【要約】

【課題】 F P G A等の低耐熱性電子部品のリフローはんだ付けを実現し、しかもフローはんだ付けの際リフローはんだ付け部の接続強度の信頼性を維持できるようにしたP bフリーはんだ合金を用いた混載実装技術を提供することにある。

【解決手段】 本発明は、P bフリーのはんだ合金を用いて混載実装する方法において、表面実装部品2を回路基板1の少なくとも上面に、S n - (1 ~ 4) A g - (0 ~ 1) C u - (7 ~ 10) I n (単位: 質量%) をベースとする合金からなるP bフリーはんだペーストを用いてはんだ付けを行うリフローはんだ付け工程と、挿入実装部品5のリード若しくは端子を前記回路基板1に穿設されたスルーホールに上面側から挿入する挿入工程と、フラックス塗布工程と、予備加熱工程と、該予備加熱工程で下面を予備加熱された回路基板1の下面に、P bフリーはんだの噴流3を当て、挿入実装部品のリード若しくは端子を回路基板にフローはんだ付けを行うフローはんだ付け工程とを有することを特徴とする。

【選択図】 図2



特願 2003-189290

出願人履歴情報

識別番号

[000005108]

1. 変更年月日

1990年 8月31日

[変更理由]

新規登録

住 所

東京都千代田区神田駿河台4丁目6番地

氏 名

株式会社日立製作所

特願 2 0 0 3 - 1 8 9 2 9 0

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 1 5 3 4 6 5 ]

1. 変更年月日 2 0 0 2 年 1 0 月 1 0 日

[変更理由] 名称変更

住所変更

住 所 東京都品川区南大井六丁目 2 6 番 3 号

氏 名 株式会社日立コミュニケーションテクノロジー